

DIALOG(R) File 345: Inpadoc/Fam. & Legal Stat

(c) 2004 EPO. All rts. reserv.

3165261

Basic Patent (No, Kind, Date): JP 55107270 A2 800816 <No. of Patents: 001>

MANUFACTURE OF FIELDDEFFECT TRANSISTOR (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): ISHIUCHI HIROAKI

IPC: *H01L-029/80; H01L-023/10

Derwent WPI Acc No: *C 80-68837C;

JAPIO Reference No: *040157E000088;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 55107270	A2	800816	JP 7914481	A	790209 (BASIC)

Priority Data (No, Kind, Date):

JP 7914481 A 790209

9, the whole surface is covered with polycrystalline GaAs layer 10 through flash evaporation to be passivated.

⑤ Int. Cl.³
H 01 L 29/80
23/10

識別記号

庁内整理番号
7925—5 F
7738—5 F

④ 公開 昭和55年(1980)8月16日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 電界効果トランジスタの製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

① 特 願 昭54—14481

① 出 願 人 日本電気株式会社

② 出 願 昭54(1979)2月9日

東京都港区芝5丁目33番1号

③ 発 明 者 石内宏明

④ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

電界効果トランジスタの製造方法

2. 特許請求の範囲

単結晶 GaAs 基板上に $Al_xGa_{1-x}As$ と GaAs 薄層を連続エピタキシャル成長させ、該 GaAs 薄層上に多結晶 GaAs を蒸着し絶縁性無機接着剤によって前記多結晶 GaAs と絶縁性平板の一主表面とが対向するように固定し、前記 $Al_xGa_{1-x}As$ 層をエッチング除去することにより単結晶 GaAs 基板を剝離し、GaAs 薄層—多結晶 GaAs—絶縁性無機接着剤—絶縁性平板の構造を形成する工程と、前記 GaAs 薄膜上にソース電極・ドレイン電極とゲート電極を形成する工程と、素子表面に多結晶 GaAs を蒸着する工程とを有する事を特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

本発明は電界効果トランジスタ、特に高周波用のガリウム—砒素 (GaAs) ショットキーバリアゲート電界効果トランジスタ (GaAs MES FET) の製造方法に関するものである。

近年 GaAs MES FET は、GaAs の電子移動度が大きく従来のシリコン Si の FET やバイポーラトランジスタに比してはるかに高い周波数帯で動作することから、マイクロ波帯で動作する増巾素子としてマイクロ波通信装置等に多く使用され著しい発展を遂げてきている。

一般に GaAs MES FET の製造方法は下記の通りである。

- ① 半絶縁性 GaAs 基板上に高抵抗エピタキシャル GaAs 層 (バッファ層) を成長し、さらに n 型 GaAs 薄層 (アクティブ層) を成長する。
- ② n 型 GaAs 層表面に金ゲルマニウム—ニッケル (AuGe—Ni) あるいは金ゲルマニウム—白金 (AuGe—Pt) 等の蒸着、合金化を行ないオーム性電極を設ける。
- ③ オーム性電極間に、ショットキーバリアゲ

ト電極を蒸着して形成する。

この後、素子表面上に表面保護の目的で誘電体薄膜等を附加する。

ここで、上記方法により生ずる問題点として、まずn型GaAs薄膜と高抵抗エピタキシャルGaAs層との界面で、キャリア濃度の落差を急峻にする事が難しく、FETの静特性波形でいわゆる下づまり波形が生ずる事があげられる。第2に、理想的な高抵抗層が得られにくいため、高抵抗層を界したリーク電流が大きく、また高抵抗層と活性層界面に存在すると考えられる界面単位的不安定さによると思われるリーク電流や波形ループが生ずるという問題点、さらには、バッファ層自身あるいはバッファ層とアクティブ層の界面、素子表面に起因するとされる、ドレイン電流が経時変化するドリフト現象等の影響により、良好なトランジスタ特性が得られない等の問題点がある。

本発明の目的は、上記欠点を除去し、良好なトランジスタ特性が得られる電界効果トランジスタの製造方法を提供する事にある。

- 3 -

再使用が可能となる等種々の効果がある。

次に本発明の一実施例を図面を参照してその製造工程順に説明する。

本実施例では、第1図にその断面図を示すように、GaAs基板1上に $Al_{0.7}Ga_{0.3}As$ 層2を厚さ $5\mu m$ さらにn型GaAs(キャリア濃度 $\sim 1 \times 10^{17} cm^{-3}$)3を厚さ $0.5\mu m$ 連続してエピタキシャル成長させ、このn型GaAs3上に多結晶GaAs4を 100\AA 蒸着形成する。次に第2図に示すように、主成分をシリカ、アルミナとする耐熱絶縁性無機接着剤(商品名: スミセラム)5で多結晶GaAs4と絶縁性平面としてのダイヤモンドヒートシンク平板6を接着する。これをHF50%中で $Al_{0.7}Ga_{0.3}As$ 層2のみをエッチング除去しGaAs基板1を剝離すると、第3図に示す断面を有する構造が得られる。次にn型GaAs薄膜3を陽極酸化法により、厚さ $0.2\mu m$ に均一薄化し、この全表面に、第4図で示すようにAuGe-Niを蒸着合金化して所定部をエッチング除去しソース電極7・ドレイン電極8を形成し、

- 5 -

本発明によれば、単結晶GaAs基板上に $Al_xGa_{1-x}As$ ($x \geq 0.3$) とn型GaAs薄膜を連続エピタキシャル成長させ、さらにこのn型GaAs薄膜上に多結晶GaAsを蒸着し、耐熱絶縁性無機接着剤によって、多結晶GaAsと、絶縁性平板の一主表面とが対向するように固定し、前記 $Al_xGa_{1-x}As$ 層のみをエッチングする事により単結晶GaAs基板を剝離して、n型GaAs薄膜-多結晶GaAs-絶縁性無機接着剤-絶縁性平板の構造を形成する工程と、前記n型GaAs薄膜上にソース電極・ドレイン電極とゲート電極を形成する工程と、素子表面より多結晶GaAsを蒸着する工程を有する事を特徴とする電界効果トランジスタの製造方法が得られる。

本発明の製造方法によれば第一に、アクティブ層と高抵抗層間に、界面安定化をはかる多結晶GaAsが得られ、第二に良質のGaAs高抵抗層を必要とせず、第三にn型GaAs薄膜と絶縁物層とを、その界面のキャリア濃度変化が階段状となるように接合でき、第四に、剝離したGaAs基板の

- 4 -

さらにAlを蒸着し、リフトオフ法によりゲート電極9を形成し、さらには素子表面に多結晶GaAs10をフラッシュ蒸着して、パッシベーション膜を形成する。

本実施例によれば、単結晶GaAs基板1上の $Al_{0.7}Ga_{0.3}As$ 層2とを接触するn型GaAs薄膜面にオーム性電極を形成することができ、活性層としてのn型GaAs薄膜3と高抵抗層としての耐熱絶縁性薄膜5との間に、両者の界面の安定化をはかる多結晶GaAs薄膜4を介在せしめることができ、リーク電流や波形ループを防止できる。更にn型GaAs薄膜3のキャリア濃度を一定にできかつ絶縁性薄膜5との界面において階段状接合を行なうことができるのでトランジスタの静特性が良好となる。

この様に本実施例によれば従来に比して良好なトランジスタ特性が得られるGaAs MES FETを提供することができる。

本発明の製造方法によるGaAs MES FETを製作した結果、波形不良・ドリフト現象もなく、

- 6 -

安定した特性が得られた。

以上本発明の実施例として、特定な材料、特定な素子寸法で説明したが、本技術思想から明らかなように、これらに限定されることもなく広く適用されることはいうまでもない。

4. 図面の簡単な説明

第1図～第4図は本発明の一実施例を工程順に示した断面図である。

1……単結晶GaAs基板、2…… $\text{Al}_{0.7}\text{Ga}_{0.3}\text{As}$ 、
3……n型GaAs、4……多結晶GaAs、5……
耐熱絶縁性無機接着剤、6……ダイヤモンドヒー
トシンク平板、7……ソース電極、8……ドレ
イン電極、9……ゲート電極、10……多結晶GaAs

代理人 弁理士 内 原 晋



- 7 -

